

H10-335641

[Abstract]

[Subject]To provide a manufacturing method of a semiconductor device where a breakdown voltage of a device is improved and a signal of large amplitude can be applied to a gate electrode.

[Solving Means]A N- source/drain region 13 is formed on a surface of a semiconductor layer 11. An oxidation resistant film 16 is formed by laminating a silicon nitride film. An end 18 of a diffusion window of the N- source/drain region 13 is recessed back toward a mask end 17 of an oxidation resistant film 15 by a predetermined length X. LOCOS oxidation films 19 and 20 are formed by using the oxidation resistant film 15, and a gate electrode 23 is formed extending over a part of the LOCOS oxidation film 19. A N-type impurity is ion-implanted, thereby forming a N⁺ source/drain region 24.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335641

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 S

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平9-142240

(22) 出願日 平成9年(1997)5月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 西部 栄次

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

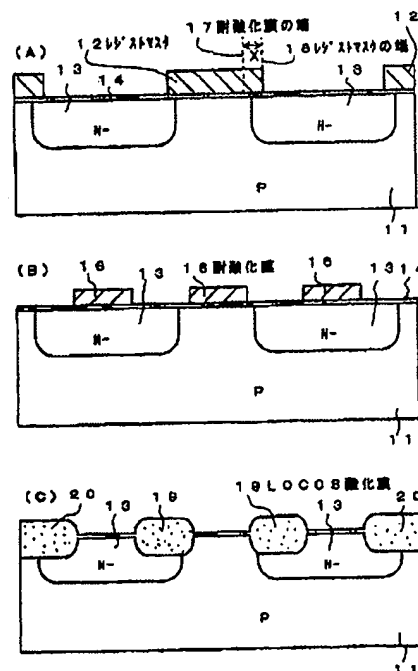
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 素子の動作耐圧を向上して、ゲート電極に大振幅の信号を印加できる半導体装置の製造方法を提供する。

【解決手段】 半導体層11表面にN-ソース・ドレイン領域13を形成する。シリコン窒化膜を堆積して耐酸化膜16を形成する。耐酸化膜15のマスク端17に対してN-ソース・ドレイン領域13の拡散窓の端18を一定距離Xだけ後退させる。耐酸化膜15によりLOCOS酸化膜19、20を形成し、LOCOS酸化膜19の上部の途中まで延在するゲート電極23を形成する。N型不純物をイオン注入してN+ソース・ドレイン領域24を形成する。



【特許請求の範囲】

【請求項1】 一導電型の半導体層の表面に、ソース・ドレイン形成用の拡散窓を形成する工程と、前記拡散窓から逆導電型の不純物を拡散して第1のソース・ドレイン領域を形成する工程と、前記ソース・ドレイン領域の上部、および前記ソース・ドレイン領域間の前記一導電型半導体層の上部に、耐酸化マスクを形成する工程と、前記半導体層の表面を選択酸化して、LOCOS絶縁膜を形成する工程と、前記ソース・ドレイン領域間の半導体層上に、前記LOCOS酸化膜の上部の途中まで延在するゲート電極を形成する工程と、を具備する半導体装置の製造方法において、前記拡散窓の位置を、ゲート長の実行値が拡大するように前記耐酸化膜の位置より後退させたことを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体層がP型であり前記ソース・ドレイン領域がN型であることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高耐圧のMOS素子を組み込んだ半導体装置の製造方法に関し、特にその動作耐圧の向上に関する。

【0002】

【従来の技術】MOS型LSI内部に例えば数十Vもの電圧振幅を制御する素子を集積化する場合、その素子は他の小信号用の素子とは構造を別個に設計・製造する必要が生じる。図4、図5に従来の高耐圧MOS素子の製造方法を示した。尚、斯る素子は例えば特開平6-268262号に記載されている。

【0003】先ず図4(A)を参照して、P型の半導体層1上にレジストマスク2を形成し、リン(P)をイオン注入することでN-型のソース・ドレイン領域3を形成する。その後レジストマスク2を除去し、熱処理を与えることによりソース・ドレイン領域3を所望の深さまで拡散する。図4(B)を参照して、半導体層1表面に新たな薄いシリコン酸化膜4を形成し、その上にシリコン窒化膜を堆積し、これをパターニングすることにより耐酸化膜5を形成する。

【0004】図4(C)を参照して、全体に酸化性熱処理を与えることにより、ソース・ドレイン領域3の上にLOCOS酸化膜6、7を形成する。図5(D)を参照して、LOCOS酸化膜6の間の半導体層1上に多結晶シリコンからなるゲート電極8を形成し、LOCOS酸化膜6、7の間のN-ソース・ドレイン領域3表面にN+ソース・ドレイン領域9を形成する。

【0005】LOCOS酸化膜7は素子分離用の酸化膜であるが、LOCOS酸化膜6はゲート電極8とソース

・ドレイン領域3、9との絶縁耐圧を向上する目的で設けられている。そしてN-ソース・ドレイン領域3形成用のレジストマスク2の端とLOCOS酸化膜5形成用の耐酸化膜5の端とは一致させており、その結果N-ソース・ドレイン領域3の端はゲート電極8下部においてLOCOS酸化膜6の端に一致するか、もしくは横方向拡散によりもっと内側で半導体層表面1の平坦部分に終端している。

【0006】

10 【発明が解決しようとする課題】ゲートに小振幅の信号を印加することによってソース・ドレイン間に大振幅の信号を制御する場合は、耐圧を維持すべきはゲート・ドレイン間耐圧(Vdg)であり且つゲート開放でソース・ドレイン間電圧を変化させたときの耐圧(BVds)である。ところが、例えばレベルシフト回路等のようにゲートに数十Vもの大振幅の信号が印加されるような場合は、前記の特性に加えて、ゲートに斯る電圧を印加したときのソース・ドレイン間耐圧(動作耐圧)が最も重要な特性となる。

20 【0007】図6に従来の動作耐圧特性を示した。ゲート電圧VGを一定にし、ソース・ドレイン間電圧Vdsを変化させたときのソース・ドレイン間電流Idsを測定し、且つゲート電圧VGを例えば10Vステップで変化させた時の特性をプロットしたものである。従来の素子、特にNチャンネル素子においては、例えばゲート電圧が約40Vの時に所望のソース・ドレイン間電圧Vdsを印加しただけで、接合破壊により素子自体が破壊してしまうことが明らかになった。従って動作耐圧が小さく、所望の振幅の信号制御ができないと言う欠点があった。単純にゲート幅Wを広げることで動作耐圧を向上することも可能ではあるが、パターンサイズを増大することになる。

【0008】

【課題を解決するための手段】本発明は上述した従来の課題に鑑み成されたもので、ソース・ドレイン領域の拡散窓の端をLOCOS酸化膜の耐酸化膜の端より後退せしめ、実質的なチャンネル長GLを拡大することにより、動作耐圧を向上した半導体装置の製造方法を提供するものである。

【0009】

40 【発明の実施の形態】以下に本発明の実施の形態を図1を参照しながら詳細に説明する。図1～図4は本発明の集積回路の製造方法を工程順に示す断面図である。先ず、図1(A)を参照して、シリコン半導体基板等からなるP型半導体層11を準備し、その表面を初期酸化して酸化膜を形成する。酸化膜の上にレジスト膜を形成し、ホトマスクにより所望パターンを露光、現像してレジストマスク12を形成する。上方からリン(P)を加速電圧100KeV、ドーズ量3E12程度でイオン注入してN-型のソース・ドレイン領域13を形成する。

その後レジストマスク12を除去し、基板全体に1000℃、数時間の熱処理を与えることによりN-ソース・ドレイン領域13を拡散深さ2.0μ程度に拡散する。

【0010】図1(B)を参照して、基板表面に新たに膜厚500Å程度の酸化膜14を形成し、その上に常圧CVD法等によりシリコン窒化膜を堆積する。シリコン窒化膜の上にレジストマスクを形成し、該レジストマスクによりシリコン窒化膜をパターンニングして、N-ソース・ドレイン領域13表面に位置する耐酸化膜15と、N-ソース・ドレイン領域13間のP型半導体層11上に位置する表面に位置する耐酸化膜16とを形成する。設計上は、耐酸化膜16の線幅がこのトランジスタのゲート長GL(5~6μ)にはほぼ等しくなる。そして図1(A)の工程において、耐酸化膜15の端の位置17に対して、N-ソース・ドレイン領域13を形成するレジストマスク12の端の位置18を1.0μ~2.0μ程度後退させておく。この後退させた長さ(図示X)を以下マイナスオーバーラップOLと称する。

【0011】図1(C)を参照して、基板全体を酸化性の雰囲気中で熱酸化することにより、LOCOS酸化膜19、20を形成する。耐酸化膜16の位置に対してレジストマスク12の位置18を後退させたことにより、N-ソース・ドレイン領域13の端はLOCOS酸化膜19の下部で終端する。図2(A)を参照して、LOCOS酸化膜19、20で囲まれた基板表面を清浄化し新たに酸化して膜厚500~2000Åのゲート酸化膜21を形成し、次いでLOCOS酸化膜19とLOCOS酸化膜20とで挟まれたN-ソース・ドレイン領域13の表面にも形成された厚い酸化膜を除去し、再度酸化して薄い酸化膜22とする。それらの酸化膜21、22の上に膜厚2000Å程度のポリシリコン層をCVD法により堆積し、これにリンドーピングした後、ポリシリコン層をパターンニングすることによりゲート電極23を形成する。ゲート電極23はLOCOS酸化膜19上部の途中まで被覆する。そして、リン(P)を60KeV、5.0E13程度の不純物濃度でイオン注入し、熱処理を加えてN+ソース・ドレイン領域24を形成する。

【0012】以上の方法によって得られた素子は、図2(A)に示したように、設計上のゲート長GLに対して、マイナスのオーバーラップOLを設けた分だけ実効的なゲート長 $Leff$ が拡大する。また、図2(B)に示したようにN-ソース・ドレイン領域13の端がLOCOS酸化膜19の下部で終端する事により、チャンネルに最も近い部分のリンの不純物濃度が従来より上昇する(図示斜線部分25)。これはLOCOS酸化膜19を形成した事によるリンの偏析(バイルアップ)現象によるものである。この領域は等価的にN+層と考えることができるので、抵抗値が小さく、故にドレイン電界の勾配が上昇部分25内部では小さい。従ってソース・ドレイン間の電位差の解消は主としてP型半導体層11内部

で行われることになる。

【0013】以上の方法によって作られた素子の動作耐圧を図6に示した特性図と同様に測定した結果、ソース・ドレイン間電圧 V_{ds} を最大80Vまで変動させたところ、従来の素子がゲート電圧 $V_G=40V$ で破壊に至ったのに対し、オーバーラップOLをマイナス1.0μとしたときには $V_G=70V$ まで耐えることができ、オーバーラップOLをマイナス1.5μとしたときには $V_G=100V$ まで耐えることができ、オーバーラップOLをマイナス2.0μとしたときには $V_G=100V$ でも破壊には至らなかった。

【0014】と同時に、動作時におけるチャネルから半導体層11への漏れ電流 I_{sub} の減少を観測することができた。図3は、ソース・ドレイン間電圧 V_{ds} を60Vで固定し、ゲート電圧を0V~100Vまで変化させたときの基板電流 I_{sub} を測定した特性図である。オーバーラップOL=0の従来品では、ゲート電圧 V_G の増大に伴い一旦飽和してピークを迎え、その後再度上昇するようなカーブを描く。ドレイン接合には基板電流 I_{sub} が重畳して流れるので、基板電流 I_{sub} が大きいことは素子の耐圧を低下させる要因であり、このように再度上昇する現象が動作耐圧を低下させている一因と考えている。これに対して、オーバーラップOLを設けたものでは、従来のような再度上昇するようなカーブが観測されず、更にオーバーラップOLをマイナス1.0μからマイナス2.0μまで変化させたときに、その値が大きくなるほど最大基板電流値が低下することが確認された。これは上記バイルアップによりチャネルに隣接するN-ソース・ドレイン領域13の不純物濃度が実質的に従来より増大していることが一因であると考えている。

【0015】従って本発明によれば、N-ソース・ドレイン領域13の端部を後退させることにより、素子の動作耐圧を向上できるものである。これにより、Pチャネル型素子と組み合わせて高耐圧の相補型回路を構成できるものである。

【0016】

【発明の効果】以上に説明したとおり、本発明によればN-ソース・ドレイン領域13とLOCOS酸化膜19との位置を調整することにより、パターンサイズの増大無く素子の動作耐圧を大幅に増大できる利点を有する。しかもマスク変更だけで済むので、何ら付加工程を要することなく実施できる利点を有する。

【図面の簡単な説明】

【図1】本発明の製造方法を説明するための断面図である。

【図2】本発明の製造方法を説明するための断面図である。

【図3】本発明を説明するための特性図である。

【図4】従来例を説明するための断面図である。

(4)

特開平10-335641

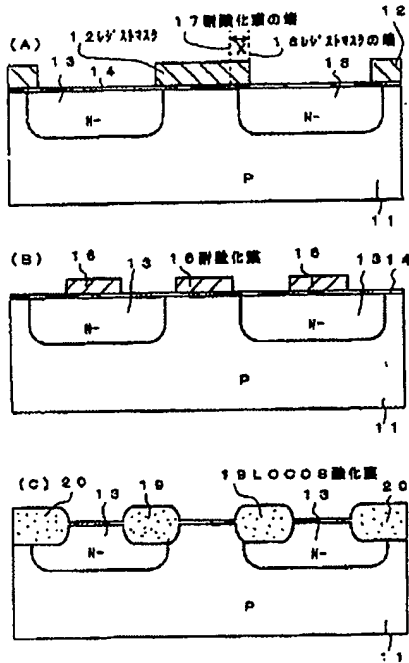
5

6

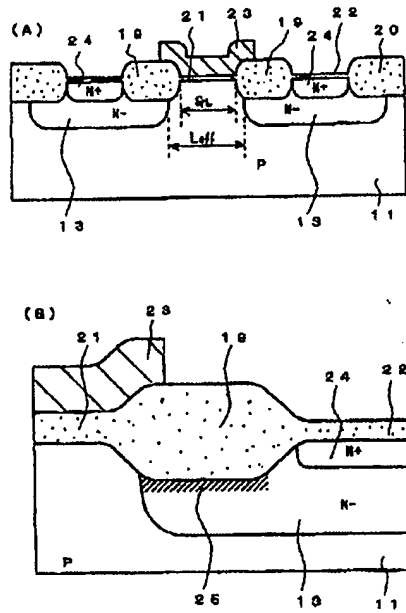
【図5】従来例を説明するための回路図である。

【図6】従来例を説明する特性図である。

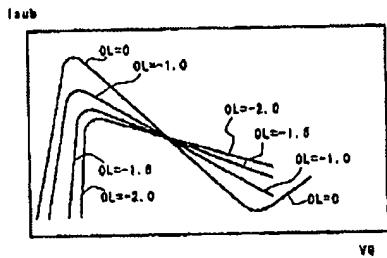
【図1】



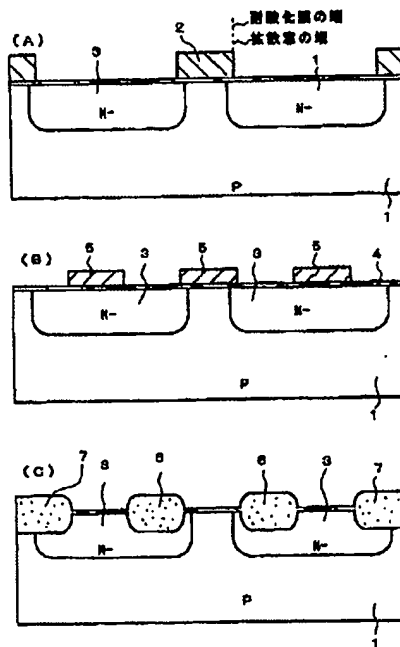
【図2】



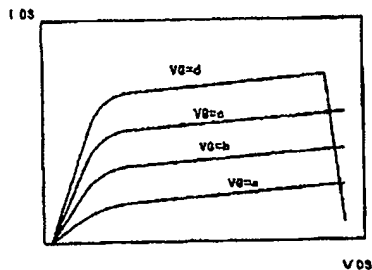
【図3】



【図4】



【図6】



特開平10-335641